

11  
①⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Übersetzung der  
europäischen Patentschrift

⑧⑦ EP 0 388 215 B1

⑩ DE 690 22 757 T 2

⑤① Int. Cl.<sup>6</sup>:  
G 01 S 15/89  
G 10 K 11/34

②① Deutsches Aktenzeichen:	690 22 757.4
⑧⑧ Europäisches Aktenzeichen:	90 302 820.7
⑧⑥ Europäischer Anmeldetag:	15. 3. 90
⑧⑦ Erstveröffentlichung durch das EPA:	19. 9. 90
⑧⑦ Veröffentlichungstag der Patenterteilung beim EPA:	4. 10. 95
④⑦ Veröffentlichungstag im Patentblatt:	7. 3. 96

DE 690 22 757 T 2

③⑩ Unionspriorität: ③② ③③ ③①

17.03.89 US 325409

⑦③ Patentinhaber:

Hewlett-Packard Co., Palo Alto, Calif., US

⑦④ Vertreter:

Schoppe, F., Dipl.-Ing.Univ., Pat.-Anw., 82049 Pullach

⑧④ Benannte Vertragsstaaten:

DE, FR, GB, NL

⑦② Erfinder:

Corl, Paul D., Palo Alto, CA 94306, US

⑤④ Dynamisch veränderbare digitale Verzögerung.

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 690 22 757 T 2

Die vorliegende Erfindung bezieht sich auf eine dynamisch veränderbare digitale Verzögerungsvorrichtung, die in einem digitalen Ultraschallsystem zur medizinischen Abbildung, insbesondere in einem hochauflösenden digitalen Ultraschallsystem mit maßvollem Speicher und Verarbeitungsanforderungen verwendet werden kann.

Ein typisches Ultraschallabbildungssystem weist ein Elektronikmodul und eine Sonde auf. Das Elektronikmodul erzeugt einen elektrischen Impuls, der von einem Wandler in der Sonde in einen Ultraschallimpuls umgewandelt wird. Wenn die Sonde gegen einen Körper gedrückt wird, wird der Ultraschallimpuls in den Körper übertragen und in unterschiedlichen Maßen an Gewebegrenzen in dem Körper reflektiert. Die Reflexionen von den verschiedenen Gewebegrenzen erreichen den Wandler zu unterschiedlichen Zeiten, abhängig von ihren Abständen von der Sonde. Der Wandler wandelt die Reflexionen in ein sich zeitlich veränderndes, elektrisches Signal um. Dieses elektrische Signal wird verarbeitet, um eine Videodarstellung des Körpers, der abgebildet wird, zu bilden.

Relativ einfache Ultraschallsysteme sind bekannt, die sphärische oder parabolische Wandler verwenden, um Ultraschallsignale zu senden und zu empfangen. Im allgemeinen besitzen diese Wandler einen festen Fokus, dahingehend, daß ihr Fokuspunkt einen festen Abstand von dem Wandler aufweist. Typischerweise werden Maßnahmen getroffen, um den Wandler zu steuern, um Bildinformationen über einen Winkelbereich zu erhalten. Die Auflösung der Ultraschallabbildung ist durch die Öffnung des Wandlers begrenzt, wobei größere Öffnungen eine größere Auflösung ermöglichen. Jedoch erzeugen größere Öffnungen flachere Felddiefen, so daß ein geringer Tiefenbereich auf jeder Seite des Fokuspunkts innerhalb einer gegebenen Toleranz der maximalen Auflösung abgebildet werden kann.

Es ist theoretisch möglich, sowohl einen größeren Bereich als auch eine höhere Auflösung zu liefern, indem ein Wandler deformiert wird, um seine Fokustiefe zu ändern, derart, daß für jeden vieler Fokustiefen eine hochauflösende Abbildung erhalten wird. Offensichtlich war es nicht zweckmäßig, die gewünschte Fokustiefensteuerung durch eine mechanische Deformierung eines Wandlers zu erreichen. Andererseits erlaubte eine "elektronische Deformation" von Wandlern mit phasengesteuertem Array, eine Technologie, die vom Radar hergeleitet ist, eine hochauflösende Abbildung ohne signifikante Felddiefen-Begrenzungen.

Wandler mit phasengesteuertem Array weisen eine Mehrzahl von Wandlerelementen auf, die in ringförmigen, linearen oder planaren Arrays angeordnet sind. Durch das Variieren der Zeitverzögerungen zwischen den Elementen eines beliebigen Arrays, kann man die Fokustiefe dynamisch ändern. Folglich kann ein Wandlerarray mit großer Öffnung verwendet werden, um eine hochauflösende Abbildung zu erhalten, wobei dessen Fokustiefe variiert werden kann, um die Begrenzung einer flachen Felddiefe zu überwinden.

Ringförmige Arrays sind am besten geeignet, einen mechanisch deformierbaren, sphärischen Einelementwandler zu simulieren. Ein ringförmiges Array weist eine Mehrzahl ringförmiger Wandlerelemente, die coaxial angeordnet sind, auf. Wenn Reflexionen von jedem der ringförmigen Elemente empfangen werden, erzeugt jedes ringförmige Element ein entsprechendes elektrisches Signal. Durch das Steuern der relativen Verzögerungen, die in diese elektrischen Signale eingeführt werden, kann die Fokustiefe des ringförmigen Wandlerarrays gesteuert werden. Wie bei einem sphärischen Einelementwandler muß ein ringförmiges Array mechanisch gesteuert werden, um eine zweidimensionale Ultraschallabbildung zu erhalten. Folglich schließt ein ringförmiges Array eine Hybridschaltung einer mechanischen und elektronischen Steuerung des Wandlerfokuspunkts ein.

Ein lineares phasengesteuertes Array weist eine Reihe schmaler Elemente auf, die Seite an Seite angeordnet sind. Ein derartiges Array kann elektronisch gesteuert und fokussiert werden. Ein Nachteil eines linearen phasengesteuerten Arrays ist die schlechte azimutale Auflösung in der Richtung senkrecht zu der Ebene der Abbildung. Planare Wandlerarrays weisen eine Mehrzahl von Elementen kleiner Öffnung auf, die in einem zweidimensionalen Array angeordnet sind. Wie bei den linearen Wandlerarrays kann sowohl die Fokustiefe als auch die Steuerung elektronisch bewirkt werden. Tatsächlich kann die Steuerung in zwei Dimensionen stattfinden. Ein Hauptvorteil von planaren Wandlerarrays besteht im Gegensatz zu linearen Wandlerarrays darin, daß dieselben eine Auflösung in die azimutale Dimension liefern. Jedoch sind Wandler mit planarem Array aufgrund der großen Anzahl von getrennten Signalkanälen, einem für jedes Wandlerelement, die verarbeitet werden müssen, nicht weitverbreitet realisiert.

Die meisten Ultraschallsysteme verwenden eine analoge Verarbeitung, um Videodarstellungen des Objekts, das abgebildet wird, zu erhalten. Jedoch sind, wie in anderen technologischen Gebieten, unter Verwendung einer digitalen Verarbeitung mehrere Vorteile erreichbar. Sobald die Signale in das digitale Format umgewandelt sind, sind sie für eine Verzerrung, Rauschen, usw., weniger anfällig. Außerdem sind digitale Systeme für ein automatisches Testen zugänglicher und erfordern weniger Einstellungen. Es ist daher im allgemeinen einfacher, zuverlässige digitale Systeme herzustellen. Die Kosten können durch eine Integration gesenkt werden, während die Flexibilität durch die Programmierung geliefert werden kann.

Digitale Ultraschallabbildungssysteme sind in dem U.S.-Patent Nr. 4,290,310 von Anderson offenbart. Diese Systeme basieren alle auf linearen phasengesteuerten Arrays, obwohl der Vorschlag gemacht wird, daß die Grundsätze auf andere Wandlerkonfigurationen angewendet werden können, einschließ-

lich anderer Wandler mit phasengesteuertem Array. Jeder Sende/Empfangs-Wandler oder jedes Sende/Empfangs-Wandlerpaar entspricht einem Kanal, wobei 32 oder mehr Kanäle bevorzugt sind, um eine zweckmäßige Auflösung zu erhalten. Die Steuerung und der Fokus werden als eine Funktion relativer Verzögerungen zwischen den Kanälen gesteuert. Diese relativen Verzögerungen werden durch die Steuerung der Zeit zwischen dem Einlesen und dem Auslesen von Reflexionsdaten aus einer analogen Speichervorrichtung, wie z.B. einem seriellen analogen Speicher (SAM; SAM = Serial Analog Memory), einer Ladungs-gekoppelten Vorrichtung (CCD; CCD = Charge-Coupled-Device) oder einem digitalen Speicher, wie z.B. einem FIFO-Speicher (FIFO = First-in-First-out = zuerst hinein, zuerst heraus), realisiert. Analog/Digital-Wandler (ADWs) werden verwendet, um die analogen Reflexionssignale in eine digitale Form umzuwandeln, bevor sie in die FIFO-Speicher gelesen werden. Die Ausgaben der Speichervorrichtungen werden mittels einer Summierschaltung kombiniert, deren Ausgabe zu einem Videodetektor geleitet wird und dann zu einer Anzeige. Eine Hauptsteuerung synchronisiert die ADWs, die Speicher, die Summierschaltung und die Videoabtastung, um eine kohärente Abbildung des Objekts, das abgetastet wird, zu liefern.

Ein Hauptnachteil des Systems, das von Anderson offenbart wird, besteht darin, daß die Fokustiefe nicht dynamisch abgetastet werden kann. Anderson steuert die Fokustiefe durch Füllen der Speichervorrichtungen, um eine gewünschte Verzögerung zu erreichen, und erzeugt dann eine Abbildung bei der entsprechenden Fokustiefe. Jede Tiefe erfordert ein erneutes Füllen der Speicher, was Verzögerungen in das Abbildungsverfahren einführt. Tatsächlich verwendet Anderson eine Zonenfokussierung -- die sich auf eine relativ kleine Öffnung stützt, und keine dynamische Fokussierung, um die erforderliche Auflösung über den gesamten Tiefenbereich, der durch die Zonen dargestellt wird, zu schaffen.

Weitere Nachteile dieser digitalen Systeme sind grundsätz-

lich die Kosten und die Komplexität, wobei die letztere die Zuverlässigkeit beeinträchtigt. Anderson benötigt 32 Kanäle von Ultraschallreflexions-Informationen, die synchronisiert und parallel verarbeitet werden müssen. Ein Hochleistungssystem würde unter Verwendung der gleichen Entwurfsgrundsätze mehr als 100 lineare Wandlerelemente und eine entsprechende Anzahl von Signalverarbeitungskanälen erfordern. Jeder Kanal erfordert einen eigenen ADW und einen Speicher, ebenso wie zusätzliche Komponenten. Die Aktivität jeder Komponente in jedem Kanal muß mit dem Sender und dem Videoausgabeabschnitt synchronisiert werden.

Außerdem muß jede der Komponenten in der Lage sein, Daten mit hohen Geschwindigkeiten zu handhaben. Ultraschallabbildungsfrequenzen liegen typischerweise in einem Bereich von 2 bis 10 MHz. Die Abtastung durch die ADWs geschieht im allgemeinen bei der über zweifachen und vorzugsweise bei etwa der vierfachen maximalen Ultraschallfrequenz, so daß die Komponenten von etwa 15 MHz bis 40 MHz dimensioniert werden sollten. Anderson offenbart einen Haupttakt von 60 MHz, um Komponententakte von 15 MHz und 20 MHz zu erzeugen. Die Kosten der Komponenten steigen dramatisch mit der maximalen Taktrate, so daß ein Preis für diese schnellen Komponenten bezahlt werden muß. Außerdem senkt der Betrieb der Speicher mit hohen Geschwindigkeiten den Verzögerungsbereich, der unter Verwendung der Komponenten realisiert werden kann. Anderson kombiniert Speichervorrichtungen seriell, um längere Verzögerungen zu erhalten, wobei dies jedoch die Kosten und die Komplexität ebenso vervielfacht.

Ferner ergibt die Realisierung von Anderson unter Verwendung linearer Arrays eine schlechte Azimutalauflösung. Diesem Problem kann durch das Auswählen zweier dimensionaler Arrays begegnet werden. Dies verschlimmert jedoch die Probleme der Komponentenanzahl, der Komponentenkosten und der Systemkomplexität enorm. Mehrere hundert Kanäle wären für die praktische Auflösung in einem digitalen System mit einem zweidimensionalen phasengesteuerten Array erforderlich.

Es ist daher erwünscht, ein Ultraschallabbildungssystem zu schaffen, das die Vorteile der dynamischen Fokussierung und der digitalen Steuerung ohne die Kosten und die Komplexität der Systeme, die bereits von Anderson offenbart sind, aufweist. Vorzugsweise sollte eine hohe Auflösung in allen drei Dimensionen geschaffen werden. Außerdem sollten die Komponententaktraten maßvoll sein, so daß billigere Komponenten verwendet werden können und daß längere Verzögerungen realisiert werden können, ohne Speichervorrichtungen seriell zu kombinieren oder größere, aufwendigere Speicher zu verwenden.

In ULTRASOUND IMAGING Bd. 9, Nr. 2, März 1987, DULUTH MN USA, Seiten 75-91; J.H. KIM u.a.: "Pipelined sampled-delay focusing in ultrasound imaging systems", ist ein Ultraschallsystem mit einem Wandler mit phasengesteuertem Array offenbart, bei dem Verzögerungen unter Verwendung asynchron betriebener FIFOs eingeführt werden. Jedes Wandlerelement definiert einen Signalverarbeitungskanal. Jeder Kanal weist einen richtigphasigen Zweig und einen quadraturphasigen Zweig auf, um die Datenratenanforderungen für das System weiter zu reduzieren. Jeder Kanal und jeder Zweig weist einen Analog/Digital-Wandler (ADW) und ein Verzögerungs-FIFO auf, das eine dynamisch veränderbare digitale Verzögerung liefert. Eine Zeitgeberschaltung wandelt Haupttaktsignale in Zeitgebersignale um, die verwendet werden, um die Eingänge der ADWs und des Verzögerungs-FIFOs bezüglich der Ausgänge des Verzögerungs-FIFOs asynchron zu betreiben, welche von dem Haupttakt gesteuert werden. Die asynchrone Beziehung zwischen den zeitlichen Steuerungen der FIFO-Eingänge und Ausgänge ermöglicht eine dynamische Steuerung der Anzahl von Proben, die in jedem Verzögerungs-FIFO gespeichert werden, und folglich eine dynamische Steuerung der Verzögerung, die in jedem Signalkanal eingeführt wird. Die dynamische Steuerung der Verzögerungen, die durch alle Verzögerungs-FIFOs eingeführt werden, ermöglicht es, die Fokusslänge kontinuierlich abzutasten. Dies ermöglicht die praktische Ver-

wendung von Wandlern mit größerer Öffnung, ohne die Abbildungsgeschwindigkeit zu opfern oder den Fokussierungsbereich auf eine feste Felddtiefe zu begrenzen.

In dieser Offenbarung von Kim (siehe Fig. 10) liefert ein Abtasttaktgenerator (SCG; SCG = Sampling Clock Generator) Eingaben zu den Analog/Digital-Wandlern (ADWs). Wie in Fig. 11 gezeigt ist, sind die Komponenten des SCG ein Speicher, ein Zwischenspeicher und ein Multiplexer. Der Speicher des SCG erzeugt den Abtasttakt für jedes Arrayelement. Dieser Abtasttakt ist bezüglich dem Haupttakt synchron. Folglich sind die Abtastfrequenz und die Haupttaktfrequenz identisch. Die erforderliche Haupttaktfrequenz ist gleich der Anzahl der verfügbaren diskreten Verzögerungen mal der Mittenfrequenz des Wandlers. Auf Seite 89 lehrt Kim, daß die Abtastfrequenz durch die maximale Betriebsgeschwindigkeit des Speichers beschränkt ist.

Es ist die Aufgabe der vorliegenden Erfindung, die Beschränkung in dem von Kim offenbarten System, auf das gerade Bezug genommen wurde, zu überwinden.

Gemäß der vorliegenden Erfindung wird eine dynamisch veränderbare, digitale Verzögerungsvorrichtung mit folgenden Merkmalen geschaffen: einer Signalquelle zum Liefern eines Signals; einer Abtasteinrichtung zum Liefern einer digitalen Darstellung des Signals, wobei die Abtasteinrichtung einen Signaleingang zum Empfangen des Signals, einen digitalen Ausgang zum Übertragen der digitalen Darstellung und einen Steuereingang zum Empfangen eines Abtastratensignals mit einer variablen Abtastrate zum Steuern der Zeitgebung, die verwendet ist, um die digitale Darstellung zu erzeugen, und folglich der Ausgaberate der digitalen Darstellung aufweist; einem Verzögerungs-FIFO mit einem Dateneingang, einem Datenausgang, einem Eingangsfreigabebitor und einem Ausgangsfreigabebitor, wobei der Dateneingang zum Empfangen der digitalen Darstellung von der Quelle mit der Quelle gekoppelt ist; wobei die dynamisch veränderbare, digitale Verzögerungsvor-



richtung dadurch gekennzeichnet ist, daß eine Steuereinrichtung vorgesehen ist, um ein Haupttaktsignal mit einer konstanten Haupttaktrate zu liefern, wobei die Steuereinrichtung mit dem Ausgangsfreigabebitor des Verzögerungs-FIFOs gekoppelt ist, derart, daß die digitale Darstellung mit der Haupttaktrate von dem Datenausgang übertragen wird, wobei die Steuereinrichtung mehrere Phasen des Haupttakts liefert; und einer veränderbaren Zeitgebungseinrichtung, die zusammenwirkend mit der Steuereinrichtung gekoppelt ist, um unter den mehreren Phasen des Haupttakts auszuwählen, um ein veränderbares Zeitgebungssignal von einem Signalausgang zu erzeugen, wobei der Signalausgang mit dem Steuereingang der Abtasteinrichtung gekoppelt ist, um derselben das veränderbare Abtastratensignal zu liefern, wobei der Signalausgang ferner mit dem Eingangsfreigabebitor des Verzögerungs-FIFOs verbunden ist, derart, daß das Abtastratensignal ferner die Rate steuert, mit der die digitale Darstellung in den Verzögerungs-FIFO eingegeben wird, wodurch die Abtastrate bezüglich der Haupttaktrate verändert werden kann, derart, daß die digitale Darstellung mit einer Abtastrate in den Verzögerungs-FIFO eingegeben werden kann, welche bezüglich der Haupttaktrate, mit der die digitale Darstellung von dem Verzögerungs-FIFO übertragen wird, dynamisch veränderbar ist.

Folglich kann ein Ultraschallsystem geschaffen werden, das dynamisch veränderbare, digitale Verzögerungsvorrichtungen einschließt, jede wie sie in dem vorhergehenden Paragraph definiert sind, und bei dem die asynchronen Zeitgebungssignale durch das Schalten unter mehreren Phasen des Haupttakts des Systems hergeleitet werden.

Bei einer dynamisch veränderbaren, digitalen Verzögerungsvorrichtung gemäß der vorliegenden Erfindung kann die veränderbare Zeitgebungseinrichtung einen Multiplexer mit Signaleingängen, dem Signalausgang und Auswahleingängen einschließen, wobei die Signaleingänge mit jeweiligen der mehreren Phasen gekoppelt sind, derart, daß eine der mehreren Phasen zur Übertragung von dem Signalausgang ausgewählt wer-

den kann, wobei die veränderbare Zeitgebungseinrichtung einen Zeitgebungs-Datengenerator zum Erzeugen eines digitalen Verzögerungsdatenstroms aufweisen kann, wobei der Zeitgebungs-Datengenerator ein Ausgangsfreigabebitor aufweist, das mit der Steuerung gekoppelt ist, derart, daß der digitale Verzögerungsdatenstrom durch die Haupttaktrate charakterisiert ist; und wobei die veränderbare Zeitgebungseinrichtung einen Zeitgebungs-FIFO mit einem Zeitgebungsdateneingang, einem Zeitgebungsdatenstromausgang und einem Eingangsfreigabebitor einschließen kann, wobei der Zeitgebungsdateneingang mit dem Zeitgebungs-Datengenerator gekoppelt ist, um den digitalen Verzögerungsstrom von demselben zu empfangen, wobei das Eingangsfreigabebitor des Zeitgebungs-FIFOs mit der Steuerungseinrichtung gekoppelt ist, derart, daß der digitale Datenstrom mit der Haupttaktrate in den Zeitgebungs-FIFO eingegeben wird, und wobei die Auswahleingänge des Multiplexers mit dem Zeitgebungsdatenstromausgang des Zeitgebungs-FIFOs gekoppelt sind, derart, daß der Zeitgebungsdatenstrom bestimmt, welche der mehreren Phasen zu einem gegebenen Zeitpunkt ausgewählt wird, derart, daß die Abtastrate durch fortschreitende Phasenänderungen eingestellt werden kann, wie es durch den Zeitgebungsdatenstrom diktiert wird, wobei der Zeitgebungs-FIFO als ein Zeitgebungspuffer zwischen der Haupttaktrate und der Abtastrate dient.

Ferner kann ein Ultraschallsystem geschaffen werden, das dynamisch veränderbare, digitale Verzögerungsvorrichtungen einschließt, wie sie jeweils in dem vorhergehenden Paragraphen definiert sind. Ein Phasenschieber, der ein digitales Schieberegister sein kann, kann verwendet sein, um die mehreren Taktphasen zu erzeugen, die als Eingaben vorgesehen sind, um die Phasenmultiplexer für jeden Kanal des Ultraschallsystems zu takten. Die Multiplexer können derart geschaltet werden, daß die Ausgangsphase präzise gesteuert ist. Aufeinanderfolgende Phasenverschiebungen bewirken eine Frequenzverschiebung, derart, daß jeder Multiplexerausgang im wesentlichen bezüglich des Haupttakts asynchron ist.

Das Herleiten der Abtastrate und der Verzögerungs-FIFO-Eingangssignale durch das Umschalten zwischen mehreren Phasen eines Haupttakts reduziert die Schaltratenanforderungen des Systemschaltungsaufbaus stark. Im Gegensatz zu der bekannten Offenbarung von Kim kann der Abtasttakt für jede digitale Verzögerung phasenverschoben werden, um einen wirksamen Abtasttakt zu liefern, der bezüglich des Haupttakts asynchron ist, so daß eine viel geringere Haupttaktfrequenz erforderlich ist. Im Gegensatz zu Kim sind Abtastfrequenzen über der Haupttaktfrequenz für die digitale Verzögerungsvorrichtung dieser Erfindung verfügbar, wenn der Speicher, d.h. der oben definierte Zeitgebungsdatengenerator, bei der gleichen Frequenz wie der Haupttakt betrieben wird. Diese und weitere Merkmale und Vorteile der vorliegenden Erfindung werden aus der folgenden Beschreibung bezugnehmend auf die beiliegenden Zeichnungen offensichtlich.

- Fig. 1 ist eine schematische Ansicht eines Ultraschallsystems, in das dynamisch veränderbare, digitale Verzögerungsvorrichtungen entsprechend der vorliegenden Erfindung eingebaut sind.
- Fig. 2 ist eine schematische perspektivische Ansicht eines Wandlers des Ultraschallsystems von Fig. 1.
- Fig. 3 ist ein Blockdiagramm des Ultraschallsystems von Fig. 1, das die Busbreiten zwischen den Komponenten des Systems zeigt und die Stufen der Verzögerungsschaltung für das System detailliert darstellt. Ein- und zwei-stellige Nummern stellen die Nummer der analogen oder digitalen Datenwege dar.
- Fig. 4 ist ein Blockdiagramm, das die dynamisch veränderbaren Abtast- und Verzögerungs-Stufen der Verzögerungsschaltung von Fig. 3 zeigt.
- Fig. 5 ist ein Blockdiagramm eines Pipeline-Addierers, der in der Verzögerungsschaltung von Fig. 3 verwendet

ist. "I" und "Q" sind Bezeichnungen, die anzeigen, ob richtigphasige oder quadraturphasige Datenströme die Quelle der Daten, die in dem Augenblick, der in Fig. 5 dargestellt ist, entlang einer speziellen Linie übertragen werden, waren.

Fig. 6 ist ein Blockdiagramm einer Interpolationsvorrichtung, die in der Verzögerungsschaltung von Fig. 3 verwendet ist.

Fig. 7 ist ein Blockdiagramm der Zeitgebungsschaltung für die Verzögerungsschaltung von Fig. 3 und insbesondere die Abtast- und Verzögerungs-Stufen von Fig. 4.

Fig. 8 ist ein Zeitablaufdiagramm, das mehrere Phasen eines Haupttakts des Ultraschallsystems von Fig. 1 und die Ausgabe der Zeitgebungsschaltung von Fig. 7 zeigt.

Fig. 9 ist ein Graph, der eine Dynamikfokus-Abtaststrategie, die von der vorliegenden Erfindung verwendet ist, darstellt.

Ein Ultraschallsystem 100 weist eine Sonde 102 und ein Signalverarbeitungsmodul 104 auf, die über ein Kabel 106 verbunden sind, wie in Fig. 1 gezeigt ist. Das Signalverarbeitungsmodul 104 weist eine Steuerung 108, einen Sender 110, einen Empfänger 112, eine Verzögerungsschaltung 114 und einen Videoabschnitt 116 auf. Die Sonde 102 weist ein Gehäuse 118, einen Wandler 120, ein Sondenfenster 122, einen Motor 124, eine Motorwelle 126 und einen Antriebsriemen 128 auf. Der Wandler 120 schließt zwölf konzentrisch angeordnete, ringförmige Wandlerelemente 201 - 212 auf, die konfiguriert sind, um einem Abschnitt einer Kugel zu entsprechen, wie in Fig. 2 gezeigt ist.

Jedes Wandlerelement 201 - 212 definiert einen jeweiligen

Signalkanal CH1 - CH12. Im Betrieb empfängt jeder Kanal CH1 - CH12 einen jeweiligen elektrischen Impuls von dem Sender 110 entlang eines Übertragungsbusses 130 und eines Kabels 106. Diese Impulse werden durch ein Triggersignal von der Steuerung 108 initiiert und entlang eines Steuerbusses 132 zu dem Sender 110 geleitet. Wenn alle elektrischen Impulse die jeweiligen Wandlerelemente 201 - 212 gleichzeitig erreichen, ist die effektive Fokusslänge des Wandlers 120 seine geometrische Fokusslänge. Der Wandler 110 kann ferner relative Verzögerungen in die Impulse über den Kanälen CH1 - CH12 einführen, um eine Selektion verschiedener Fokusszonen zu liefern. Die Verzögerungsschaltung 114 liefert eine dynamische Fokussierung in jeder Zone, die von dem Wandler 110 ausgewählt ist.

Der Wandler 120 wandelt die Sendeimpulse in Ultraschallimpulse um, die durch das Sondenfenster 122 und in ein Objekt 91, das durch Ultraschall charakterisiert wird, übertragen. Die übertragenen Ultraschallimpulse werden partiell an einer Gewebegrenze 93 und anderen Grenzen reflektiert, welche durch Ultraschall-Impedanzfehlanspassungen charakterisiert sind. Der Wandler 120 erfaßt die resultierenden Echos als ein Ultraschallsignal. Genauer gesagt erfaßt jedes Wandlerelement 201 - 212 ein Ultraschallsignal. Jedes erfaßte Ultraschallsignal besitzt die Form zeitlich veränderlicher Ultraschallenergie. Jedes Wandlerelement 201 - 212 wandelt das Signal, das es erfaßt, in ein entsprechendes elektrisches Signal um.

Die zwölf elektrischen Signale, die von den Wandlerelementen 201 - 212 erzeugt werden, werden über das Kabel 106 und einen Empfängerbus 134 zu dem Empfänger 112 übertragen, der die Kanäle CH1 - CH12 parallel verarbeitet. Der Empfänger 112 verstärkt die elektrischen Signale in jedem der Kanäle und führt auf denselben eine Zeitverstärkungskompensation durch. Da jedes elektrische Signal das Ergebnis mehrerer Reflexionen eines einzelnen Impulses ist, stellen spätere Abschnitte jedes Signals Reflexionen von tieferen Gewebe-

grenzen dar. Die größere Tiefe korreliert mit einer größeren Dämpfung. Eine Zeitverstärkungskompensation, d.h. eine Verstärkung, die mit der Zeit zunimmt, kompensiert die akkumulierte Dämpfung, die als eine Funktion der Erfassungszeit zunimmt. Die Steuerung 108 synchronisiert die Zeitverstärkungskompensation mit den Sendeimpulsen, die über den Steuerbus 132 getriggert werden.

Die der Zeitverstärkungskompensation unterzogenen Signale werden durch die Verzögerungsschaltung 114 entlang des Verzögerungsbusses 136 von dem Empfänger 112 aufgenommen. Der Zweck der Verzögerungsschaltung 114 besteht darin, dynamische, relative Verzögerungen unter den Signalen in den Kanälen CH1 - CH12 einzuführen, um die Fokuslänge des Wandlers 120 elektronisch abzutasten. Der Bereich dieser Abtastung erstreckt sich über eine Zone, die durch die Verzögerungen, die von dem Sender 110 eingeführt sind, ausgewählt wird. Aufeinanderfolgende Abtastungen über unterschiedliche Sendezonen können verwendet werden, um den Fokussierungsbereich zu erweitern.

Ein Videobus 138 befördert die Ausgabe der Verzögerungsschaltung 114 zu dem Videoabschnitt 116. Diese Ausgabe ist eine digitale Darstellung der Ultraschallabbildung des Objekts 91, wobei aufeinanderfolgende Abschnitte der digitalen Darstellung jeweilige Tiefen in einer Übertragungszone darstellen. Das bisher beschriebene Verfahren liefert eine eindimensionale Bilddarstellung eines Vektors in dem Objekt 91. Ein fächerförmiges zweidimensionales Bild wird durch Kombinieren aufeinanderfolgend erhaltener, eindimensionaler Bilder während der Steuerung des Wandlers 120 erhalten. Der Motor 124 ist über die Welle 126 und den Antriebsriemen 128 mechanisch mit dem Wandler 120 verbunden, um die Steuerung zu bewirken. Die Steuerung 108 steuert den Motor 124 über den Steuerbus 132 und das Kabel 106, derart, daß die Steuerung mit der Videoausgabe synchronisiert werden kann.

Die Verzögerungsschaltung 114 ist detaillierter in Fig. 3

gezeigt. Wie gezeigt ist, werden die erfaßten Ultraschall-signale in zwölf elektrische Signale umgewandelt, die entlang des Empfängerbusses 134 zu dem Empfänger 112 geleitet werden. Die zwölf verstärkten Signale werden entlang des Verzögerungsbusses 136 zur Verzögerungsschaltung 114 befördert. Die Verzögerungsschaltung 114 schließt eine Knotenbank 302 ein, die jeden Kanal CH1 - CH12 in zwei Zweige teilt, d.h. richtigphasige und quadraturphasige Zweige, was eine analoge Vierundzwanzig-Zweig-Verbindung 304 zu einer ADW-Bank 306 zur Folge hat. Die ADW-Bank 306 digitalisiert die Signale in jedem Zweig, um vierundzwanzig digitale Datenströme entlang einer Vierundzwanzig-Zweig-FIFO-Eingangsverbindung 308 zu einer Verzögerungs-FIFO-Bank 310 zu liefern. Die Verzögerungen, die zum Fokussieren erforderlich sind, werden in dieser Verzögerungs-FIFO-Bank 310 eingeführt, und die verzögerten digitalen Datenströme werden entlang einer Verzögerungs-FIFO-Ausgangsverbindung 312 zu einem Pipeline-Addierer 314 befördert. Der Pipeline-Addierer 314 kombiniert richtigphasige Datenströme quer durch die Kanäle und quadraturphasige Datenströme quer durch die Kanäle. Es werden folglich zwei digitale Datenströme entlang einer Interpolationsvorrichtung-Verbindung 316 zu einer Interpolationsvorrichtung 318 geliefert. Tatsächlich ist die Interpolationsvorrichtung-Verbindung 316 eine einzelne Datenkommunikationsleitung, wobei der richtigphasige und der quadraturphasige Strom auf derselben Zeit-multiplex werden. Die Ausgabe der Interpolationsvorrichtung 318 wird entlang des Videobusses 138 zur Anzeige zu dem Videoabschnitt 116 geleitet.

Der Schnittpunkt des Kanals CH5 mit der Knotenbank 302, der ADW-Bank 306, der Verzögerungs-FIFO-Bank 310 und dem Pipeline-Addierer 314 ist in Fig. 4 dargestellt. Eine Leitung 402 ist die Signalleitung des Kanals CH5 des Verzögerungsbusses 136. Ein Knoten 404 ist der Knoten des Kanals CH5 der Knotenbank 302. Das Signal, das entlang der Leitung 402 empfangen wird, wird in zwei kopierte Signale geteilt, die von dem richtigphasigen Zweig 406 des Kanals CH5 bzw. dem qua-

draturphasigen Zweig 408 des Kanals CH5 verarbeitet werden.

Der richtigphasige Zweig 406 weist eine Richtigphasen-Abtasteingangsleitung 410, einen "Richtigphasen"-Analog/Digital-Wandler 412, eine "Richtigphasen"-FIFO-Eingangsleitung 414, einen "Richtigphasen"-Verzögerungs-FIFO 416 und eine Richtigphasen-FIFO-Ausgangsleitung 418 auf. Entsprechend weist der quadraturphasige Zweig 408 des Kanals CH5 eine Quadraturphasen-Abtasteingangsleitung 420, einen "Quadraturphasen"-Analog/Digital-Wandler 422, eine "Quadraturphasen"-FIFO-Eingangsleitung 424, einen "Quadraturphasen"-Verzögerungs-FIFO 426 und eine Quadraturphasen-FIFO-Ausgangsleitung 428 auf.

Die Fig. 3 und 4 stehen wie folgt in Beziehung. Beide Abtasteingangsleitungen 410 und 420 sind ein Teil der analogen Vierundzwanzig-Leitungs-Verbindung 304. Der Richtigphasen-ADW 412 und der Quadraturphasen-ADW 422 gehören zu der ADW-Bank 306; die Richtigphasen-FIFO-Eingangsleitung 414 und die Quadraturphasen-FIFO-Eingangsleitung 424 gehören zu der Vierundzwanzig-Leitungs-FIFO-Eingangsverbindung 308; der Richtigphasen-Verzögerungs-FIFO 416 und der Quadraturphasen-Verzögerungs-FIFO 426 sind ein Teil der FIFO-Bank 310, und die Richtigphasen-FIFO-Ausgangsleitung 418 und die Quadraturphasen-FIFO-Ausgangsleitung 428 gehören zu der Vierundzwanzig-Leitungs-FIFO-Ausgangsverbindung 312. Die Leitungen 418 und 428 sind an einem Knoten 430 am Eingang eines Additionsgatters 432 fest verdrahtet. Das Additionsgatter 432 und ein dazugehöriger Zwischenspeicher 434 sind Elemente des Pipeline-Addierers 314.

Trotz ihrer unterschiedlichen Bezeichnungen tragen die Richtigphasen-Abtasteingangsleitung 410 und die Quadraturphasen-Abtasteingangsleitung 420 identische analoge Signale, mit einem vernachlässigbaren Phasenunterschied. Der Unterschied zwischen der richtigphasigen und der quadraturphasigen Komponente entsteht aus den unterschiedlichen Zeitgebungssignalen. Der Richtigphasen-ADW 412 tastet die analoge



Eingabe am Tor A mit einer Rate ab, die durch ein Zeitgebungssignal an seinem CLK-Tor bestimmt ist, um an seinem D-Tor eine digitale 8-Bit-Ausgabe zu ergeben. Der Quadraturphasen-ADW 422 ist funktionsmäßig identisch, wird jedoch durch ein Zeitgebungssignal betrieben, das dem Zeitgebungssignal zu dem Richtigphasen-ADW um  $90^\circ$  nacheilt. Der Richtigphasen-Verzögerungs-FIFO 416 gibt Daten, die an seinem Dateneingangstor DI empfangen werden, mit einer Rate ein, die durch ein Zeitgebungssignal, das an sein Eingangstakttor IC angelegt ist, bestimmt ist, und gibt Daten auf einer zuerst hinein/zuerst heraus-Basis mit einer Rate aus seinem Datenausgangstor DO aus, die durch ein Zeitgebungssignal bestimmt ist, das an sein Ausgangstakttor OC angelegt ist. Der Quadraturphasen-Verzögerungs-FIFO 426 ist funktionsmäßig identisch und wird bezüglich zu dem Verzögerungs-FIFO 460 um  $90^\circ$  phasenverschoben betrieben.

Die Verzögerungs-FIFOs in der FIFO-Bank 310, Fig. 3, werden mit der gleichen Rate ausgetaktet, die die Haupttakttrate und die nominelle Mittenfrequenz der Ultraschallsignale ist. Die Ausgänge der geradzahligen Richtigphasen-Verzögerungs-FIFOs und die Ausgänge der ungeradzahligen Quadraturphasen-Verzögerungs-FIFOs sind miteinander in Phase und mit den Ausgängen der ungeradzahligen Richtigphasen-Verzögerungs-FIFOs und den Ausgängen der geradzahligen Quadraturphasen-Verzögerungs-FIFOs um  $180^\circ$  phasenverschoben. Genauer gesagt werden die Ausgänge der geradzahligen Richtigphasen-Verzögerungs-FIFOs und der ungeradzahligen Quadraturphasen-FIFOs durch den Haupttakt MCLK getrieben, und die Ausgänge der ungeradzahligen Richtigphasen-FIFOs und aller geradzahligen Quadraturphasen-FIFOs werden durch das Komplement  $\text{MCLK}^*$  des Haupttaktsignals MCLK getrieben.

Im Gegensatz zu den Zeitgebungssignalen mit konstanter Rate, die an die Ausgangstaktore OC der Verzögerungs-FIFOs angelegt werden, werden an die Eingangstaktore IC der Verzögerungs-FIFOs veränderbare Taktraten angelegt, ebenso wie an die Taktore CLK der ADWs. Z.B. werden der Richtigphasen-ADW

412 und das Eingangstor IC des Richtigphasen-Verzögerungs-FIFOs 416 durch ein richtigphasiges Zeitgebungssignal CLK5I des Kanals CH5 mit variabler Rate getrieben. Der Quadraturphasen-ADW 422 und das Eingangstor IC des Quadraturphasen-Verzögerungs-FIFOs 426 werden durch ein quadraturphasiges Zeitgebungssignal CLK5Q des Kanals CH5 mit variabler Rate getrieben, daß durch Addieren einer Phasenverzögerung von  $90^\circ$  aus CLK5I hergeleitet ist.

Im Betrieb wird CLK5I bei einer Durchschnittsrate über der von MCLK betrieben. Dies bewirkt, daß sich der Richtigphasen-Verzögerungs-FIFO 416 füllt, was eine zunehmende Verzögerung des Datenstroms durch den phasenrichtigen Zweig des Kanals CH5 zur Folge hat. Für jeden Kanal wird die Abtastrate und die Verzögerungs-FIFO-Eingaberate variiert, um für den Wandler 120 eine zunehmende Fokustiefe zu bewirken. Der Kanal CH1 ist eine Ausnahme, da seine Abtastrate MCLK sein kann, um als eine Referenz für die relativen Verzögerungen, die in den anderen Kanälen CH2 - CH12 eingeführt werden, zu dienen.

Wie oben angegeben ist, ist der Ausgang des Richtigphasen-Verzögerungs-FIFOs 416 bezüglich des Ausgangs des Quadraturphasen-Verzögerungs-FIFOs 426 mit einer Phasenverschiebung von  $180^\circ$  betrieben. Tatsächlich wechseln sich diese zwei FIFOs 416 und 426 ab, wobei sie Werte zu dem Eingang A1 des Additionsgatters 505 liefern. Der Wert, der dem Eingang A1 zugeführt wird, wird zu einem Wert addiert, der an einem Eingang A2 des Additionsgatters 505 empfangen wird, und das Ergebnis wird zu dem Zwischenspeichereingang LI des Zwischenspeichers 525 geleitet, um in demselben gespeichert zu werden. Der Zwischenspeicher 525 empfängt ein Taktsignal MCLKX2, das mit der doppelten Rate von MCLK arbeitet. Die Wirkung besteht darin, daß der Inhalt des Zwischenspeichers 525 zwischen richtigphasigen und quadraturphasigen Summen abwechselt.

Die Ausgaben von den verschiedenen Kanälen werden von dem

Pipeline-Addierer 314 kombiniert, wie in Fig. 5 gezeigt ist, welche einen Abschnitt des Addierers 314 bei einem willkürlichen n-ten Zyklus des Mastertakts zeigt, wobei "I" richtigphasige Werte darstellt und "Q" quadraturphasige Werte darstellt. Während dieses Zyklusses liefert der Quadraturphasen-Verzögerungs-FIFO 426 seine quadraturphasige Ausgabe zu dem Additionsgatter 505, während der Ausgang des Richtigphasen-Verzögerungs-FIFOs nicht freigegeben ist, wie durch die unterbrochene Linie, die den Ausgang des Richtigphasen-Verzögerungs-FIFOs 418 darstellt, in Fig. 5 gezeigt ist. Der quadraturphasige Wert des Kanals CH5 wird zu einem kumulativen quadraturphasigen Wert von einem Zwischenspeicher 526 addiert, welcher zu dem Kanal CH6 gehört, und die Summe wird in dem Zwischenspeicher 525 des Kanals CH5 gespeichert. Dann wird der vorherige Inhalt des Zwischenspeichers 525 des Kanals CH5, der eine richtigphasige kumulative Summe widerspiegelt, zu dem Addierer 504 des Kanals vier 224 übertragen, um denselben mit einem richtigphasigen Wert, der vom Kanal CH4 ausgegeben wird, zu addieren. Dieses Ergebnis wird im Zwischenspeicher 524 des Kanals vier gespeichert. In dem gleichen Zyklus wird der gegenwärtige quadraturphasige Wert vom Kanal CH1 zu einem Additionsgatter 501 des Kanals 1 zur Addition mit dem vorherigen Inhalt des Zwischenspeichers 532 des Kanals CH2 geleitet. Das Ergebnis ist die Summe:

$$X_q = \sum_{m=1}^{12} Q_{n+1-m}^m$$

wobei m die Kanalnummer, n der Haupttaktzyklus und  $Q_n^m$  der quadraturphasige Wert des Kanals CHm während des n-ten Haupttaktzyklusses ist. Bei dem nächsten halben Haupttaktzyklus wird die Ausgabe des Pipeline-Addierers wie folgt sein:

$$X_i = \sum_{m=1}^{12} I_{n+1-m}^m$$

wobei  $I_n^m$  der richtigphasige Wert des Kanals CHm während des

n-ten Taktzyklusses ist. Es sei bemerkt, daß jeder Kanal während jedes Taktzyklusses zwei Werte liefert, einen richtigphasigen Wert und einen quadraturphasigen Wert. Folglich ist die Ausgabe des Pipeline-Addierers 315, die entlang der Leitung 316 zu der Interpolationsvorrichtung 318 geleitet wird, eine abwechselnde Reihe von kumulativen, quadraturphasigen 12-Bit-Werten  $x_q$  und kumulativen, richtigphasigen Werten  $x_i$ .

Die kumulativen, quadraturphasigen und richtigphasigen Werte müssen wieder kombiniert werden, um zur Verwendung durch den Videoabschnitt 116 einen einzelnen Datenstrom zu liefern. Jedoch würde die Kombination der Werte  $x_i$  und  $x_q$  ohne eine zusätzliche Verarbeitung aufgrund des Unterschieds in der Zeitgebung der I- und Q-Abtastungen einen Fehler einführen. Eine Interpolation kann verwendet werden, um entsprechend dem ankommenden analogen Signal zwischen den tatsächlichen Abtastpunkten Werte herzuleiten. Folglich kann eine Interpolation verwendet werden, um I- und Q-Werte entsprechend den zusammenfallenden Abtastungen zu definieren, und nicht den phasenverschobenen Abtastungen. Diese Interpolation wird durch die Interpolationsvorrichtung 318 durchgeführt.

Die Interpolationsvorrichtung 318 weist einen Datenkompressions-ROM 602, eine Reihe von fünf Zwischenspeichern 611 - 615, ein 2-Punkt-FIR-Filter 620 (FIR = Finite Impuls Response = Finite Impulsantwort), ein 3-Punkt-FIR-Filter 622, einen weiteren Zwischenspeicher 624 und einen Komplexaddierer 626 auf. Der Datenkompressions-ROM 602 empfängt die kumulativen, quadraturphasigen und richtigphasigen Werte, die von dem Pipeline-Addierer 314 ausgegeben werden. Der Kompressions-ROM 602 ist eine Nachschlagtabelle, die die ankommenden 12-Bit-Werte unter Verwendung einer nicht-linearen Transformation in 6-Bit-Werte umwandelt, um die höchstwertigen Informationen zu bewahren. Die zwölf ankommenden Bits wählen eine Adresse aus, die die Quadratwurzel der Adresse speichert, und die sechs höchstwertigen Stellen der Quadratwurzel werden zu der Reihe von Zwischenspeichern 611 bis 615

ausgegeben. Wie der Pipeline-Addierer 314 werden die Komponenten der Interpolationsvorrichtung durch MCLKX2 getaktet. Die Ausnahmen sind der Komplexaddierer 626 und der dazugehörige Zwischenspeicher 624, die mit der Haupttakttrate betrieben werden.

Zu einer beliebigen gegebenen Zeit speichern die Zwischenspeicher 511 bis 515 fünf aufeinanderfolgende Ausgabewerte von dem Kompressions-ROM 602. Der erste, der mittlere und der letzte Zwischenspeicher dieser Reihe speichern entweder drei aufeinanderfolgende quadraturphasige Werte oder drei aufeinanderfolgende richtigphasige Werte. Wenn alle drei komprimierte quadraturphasige Werte halten, hält der letzte Zwischenspeicher 515 den ersten in einer Reihe von drei derartigen Werten, der mittlere Zwischenspeicher 513 hält den mittleren der drei aufeinanderfolgenden Werte, und der erste Zwischenspeicher 511 hält den dritten der drei aufeinanderfolgenden, quadraturphasigen Werte. Die Ausgaben des ersten und des letzten Zwischenspeichers sind die Eingaben zu dem 2-Punkt-FIR 620, das ein Nachschlagtabellen-ROM ist. Folglich sind die Eingaben zu dem 2-Punkt-FIR 620 der erste und der dritte Punkt in einer Reihe von entweder drei quadraturphasigen Werten oder drei richtigphasigen Werten. Diese Werte dienen dazu, eine Adresse auszuwählen, wobei der Inhalt der ausgewählten Adresse die gewünschte FIR-Information darstellt.

Die erforderliche Transformation hängt davon ab, ob die Werte quadraturphasige oder richtigphasige Werte sind. Folglich weist das 2-Punkt-FIR 620 zwei Nachschlagtabellen auf. Ein Wechseln zwischen diesen Nachschlagtabellen wird durch das MCLK-Signal bewirkt, das für das 2-Punkt-FIR-Filter 620 fest auf einer Adresse höchster Ordnung gehalten ist. Das Ergebnis des 2-Punkt-FIR-Filters 620 wird im 3-Punkt-FIR 622 mit dem zweiten der drei Zwischenwerte kombiniert, der in dem mittleren Zwischenspeicher 513 gespeichert war.

Die Ausgabe des 3-Punkt-FIR 622 ist eine Reihe von alter-

nierenden I\*- und Q\*-Werten, wobei jedes Paar zusammenfallende Abtastungen der tatsächlichen richtigphasigen und quadraturphasigen Komponenten des Signals darstellt. Die Interpolationsvorrichtung minimiert die Fehler in diesen Paaren von I\*- und Q\*-Abtastungen aufgrund der Zeitunterschiede zwischen den richtigphasigen und quadraturphasigen Abtastwerten. Der Zwischenspeicher 624 wird getaktet, um interpolierte quadraturphasige Werte zu empfangen. Der Komplexaddierer 626 wird getaktet, um interpolierte richtigphasige Werte an seinem ersten Eingang I1 zu empfangen, während über den Zwischenspeicher 624 an seinem zweiten Eingang I2 interpolierte quadraturphasige Werte empfangen werden. Der Komplexaddierer 626 kombiniert folglich die interpolierten Werte, um einen unitären Bildintensitätsstrom an seinen Ausgang zu liefern. Dieser Bildintensitätsstrom wird zur Anzeige entlang der Leitung 138 zu dem Videoabschnitt 116 geleitet.

Beinahe alle getakteten Komponenten in den Kanälen werden mit der Haupttaktrate betrieben, oder im Fall des Pipeline-Addierers 314 oder einiger Komponenten der Interpolationsvorrichtung 318 mit der doppelten Haupttaktrate. Die Ausnahmen sind die Eingänge der ADWs und der Verzögerungs-FIFOs. Diese werden bezüglich des Haupttakts im wesentlichen asynchron betrieben. Die Abschnitte der Zeitgebungsschaltung, die erforderlich sind, um die asynchronen Zeitgebungssignale für die ADWs und die Verzögerungs-FIFOs des Kanals CH5 zu liefern, sind als Zeitgebungsschaltung 700 in Fig. 7 gezeigt.

Gemäß der Darstellung liefert die Steuerung 108 Haupttaktsignale MCLK zu dieser Zeitgebungsschaltung 700, die einen Tiefenzähler 702, einen Fokus-PROM 704, einen Fokus-FIFO 706, einen Phasenzähler 708, einen Phasenmultiplexer 710 und einen Phasenschieber 712 aufweist. Der Tiefenzähler 702 zählt einfach die Mastertaktsignale MCLK und gibt die Zahl auf einen 12-Bit-Adressenbus 714 aus, der mit den Adreßeingängen AX des Fokus-PROMs 704 gekoppelt ist. Dieser Fokus-PROM 704, der mehrere PROMs parallel aufweisen kann, liefert

eine 12-Bit-Ausgabe. Der Inhalt jeder Adresse des Fokus-PROM 704 ist ein 12-Bit-Wort, das Zeitgebungsinformationen für alle zwölf Kanäle CH1 - CH12 enthält. Für jeden Zählstand des Tiefenzählers 712 liefert der PROM 704 jedem Kanal ein Informationsbit. Diese Informationen werden verwendet, um die tatsächliche Frequenz der Eingangszeitgebungssignale der ADWs und der Verzögerungs-FIFOs zu bewirken. In dem Fokus-PROM 704 sind etwa 1000 Bits an Zeitgebungsinformationen für jeden Kanal gespeichert. Diese Zeitgebungsinformationen sind ein "Programm", das die Verzögerung als eine Funktion der Zeit steuert, d.h. das Verzögerungsprofil für den Kanal.

Z.B. ist eine Ausgangsleitung 715 von dem Fokus-PROM 704 mit dem Fokus-FIFO 706 des Kanals CH5 gekoppelt. Die anderen elf Ausgangsleitungen 716 von dem Fokus-PROM sind mit jeweiligen Fokus-FIFOs für die anderen Kanäle gekoppelt. Der Freigabeingang des Fokus-FIFOs 706 ist mit der Steuerung verbunden, um ein Haupttaktsignal MCLK zu empfangen. Folglich werden die Fokus-PROM-Daten mit der Haupttaktrate in den Fokus-FIFO 706 gelesen.

Daten in der Form einer Sequenz von Nullen und Einsen werden auf einer zuerst hinein/zuerst heraus-Basis von dem Fokus-FIFO 706 entlang der Leitung 718 zu dem Phasenzähler 708 übertragen. Der Phasenzähler 708 inkrementiert seinen gespeicherten Wert jedesmal, wenn eine Eins empfangen wird, während keine Inkrementierung angewendet wird, wenn eine Null empfangen wird. Die drei Ausgangsbits geringster Ordnung des Phasenzählers 708 sind über einen Auswahlbus 720 fest mit drei Auswahlleitungen 3S des Phasenmultiplexers 710 verbunden. Tatsächlich ist der Phasenzähler ein Modulo-8-Zähler, der jeweils nach acht Einsen zurückkippt. Das zyklische Schalten des Phasenzählers 708 schaltet wiederum den Phasenmultiplexer 710 zyklisch durch acht mögliche Schaltungen.

Der Phasenmultiplexer 710 besitzt acht Dateneingänge 8D, die alle fest mit der Steuerung 108 verbunden sind. Die Steue-

rung 108 weist eine Phasenschieberschaltung zum Liefern von acht gleichmäßig gestaffelten Kopien des Haupttakts MCLK auf. In anderen Worten heißt das, daß der 8-Bit breite Taktbus 724 MCLK, MCLK+45°, MCLK+90°, MCLK+135°, MCLK+180°, was MCLK\* ist, MCLK\*+45°, MCLK\*+90° und MCLK\*+135° trägt, wie in Fig. 8 gezeigt ist. Jedesmal, wenn der Phasenzähler 708 inkrementiert, schaltet der Phasenmultiplexer 710 von einem Eingang zu einem, der diesem Eingang um 45° vorseilt.

In Fig. 8 ist beispielsweise das richtigphasige Zeitgebungssignal CLK5I für den Kanal CH5, daß das gleiche ist wie die Ausgabe des Phasenmultiplexers 710, anfänglich richtigphasig mit MCLK gezeigt. Genauer gesagt ist CLK5I während eines ersten Zyklusses 801 mit MCLK in Phase, so daß ein erster positiver Übergang 811 von CLK5I gleichzeitig mit einem positiven Übergang 821 von MCLK auftritt. Eine erste Eins, die von dem Fokus-PROM 704 während eines zweiten Zyklusses 802 von CLK5I empfangen wird, bewirkt, daß der Phasenmultiplexer 710 MCLK+45° auswählt, so daß ein zweiter positiver Übergang 812 von CLK5I gleichzeitig mit einem positiven Übergang 822 von MCLK+45° auftritt. Eine zweite Eins, die während eines Zyklusses 803 empfangen wird, bewirkt, daß der Multiplexer 710 zu MCLK+90° fortschreitet, so daß ein positiver Übergang 813 gleichzeitig mit einem positiven Übergang 823 von MCLK+90° stattfindet. Während eines vierten Zyklusses 804 von CLK5I wird eine Null empfangen, so daß der Phasenmultiplexer 710 nicht fortschreitet; folglich findet ein positiver Übergang 814 von CLK5I gleichzeitig mit einem zweiten positiven Übergang 824 von MCLK+90° statt. Eine dritte Eins, die während eines fünften Zyklusses 805 empfangen wird, bewirkt, daß ein fünfter positiver Übergang 815 gleichzeitig mit einem positiven Übergang 825 von MCLK+135° stattfindet.

Die nächste empfangene Eins (die in Fig. 8 nicht dargestellt ist) setzt CLK5I in Phase mit MCLK\*. Vier weitere Einsen setzen CLK5I in eine richtigphasige Beziehung zu MCLK. Jedoch würde CLK5I durch einen Zyklus mehr fortgeschritten sein als MCLK. Tatsächlich besitzt CLK5I eine höhere Fre-



quenz als MCLK. Das Maß, mit dem die Frequenz von CLK5I die von MCLK überschreitet, ist eine Funktion des Verhältnisses von Einsen zu Nullen in dem Strom durch den Fokus-FIFO 706. Wenn MCLK 5 MHz ist, besitzt folglich CLK5I eine Durchschnittsfrequenz von 5,42 MHz für die dargestellte Dauer. Eine Sequenz aus lauter Einsen würde eine Frequenz von 5,63 MHz ergeben. Folglich ermöglicht es das vorliegende Schema, CLK5I von zwischen etwa 5 MHz und 5,63 MHz zu variieren, oder von einer nominellen Frequenz auf einen Wert, der 12,5% über derselben liegt. Bei einem alternativen Ausführungsbeispiel unter Verwendung zweier Fokusdatenströme für jeden Kanal und eines Aufwärts/Abwärts-Zählers könnten die Abtastzeitgebungssignale für jeden Kanal dynamisch um 12,5% auf jeder Seite von MCLK variiert werden.

Die Ausgabe CLK5I des Phasenmultiplexers wird entlang einer Leitung 726, Fig. 7, geleitet, um die Abtastrate des Richtigphasen-ADWs 412 und den Eingangstakt IC für den Richtigphasen-Verzögerungs-FIFO 416 zu steuern. Der Phasenschieber 712 erzeugt eine Kopie von CLK5I, die um einen viertel Zyklus verzögert ist, um CLK5Q zu erzeugen, das entlang einer Leitung 728 geleitet wird, um den Quadraturphasen-ADW 422 und den Eingang des Quadraturphasen-Verzögerungs-FIFOs 426 zu treiben. CLK5Q wird ferner entlang einer Linie 730 zu dem Ausgangstakt OC des Fokus-FIFO 706 geleitet. Dies stellt sicher, daß das Schalten des Phasenmultiplexers geeignet mit variablen Zeitgebungssignalen synchronisiert ist. Tatsächlich wirkt der Fokus-FIFO 706 als ein Zeitgebungspuffer zwischen der externen Schaltung, die von MCLK gesteuert wird, und der Zeitgebungsschaltung für den Kanal CH5, der mit der variablen Taktrate, die CLK5Q entspricht, betrieben wird.

Aus dem Vorhergehenden sollte offensichtlich sein, daß, obwohl CLK5I und CLK5Q von MCLK hergeleitet sind, ihre gemeinsame Rate unabhängig von MCLK variieren kann. In diesem Sinn sind dieselben bezüglich zu MCLK asynchron. Wie beschrieben wurde, ermöglicht die Zeitgebungsschaltung 700 nur, CLK5I bezüglich MCLK zu beschleunigen. Indem jedoch zwei

Datenleitungen und parallele Fokus-FIFOs vorgesehen werden und ein Aufwärts/Abwärts-Phasenzähler verwendet wird, kann erreicht werden, daß CLK5I wie erforderlich über und unter MCLK variieren kann.

Jeder Kanal weist eine Zeitgebungsschaltung auf, die im wesentlichen der Zeitgebungsschaltung 700 für den Kanal CH5 gleicht. Im Betrieb entstehen die Unterschiede zwischen den Kanälen aus den Programmen, die in dem Fokus-PROM 704 gespeichert sind. Z.B. kann der Kanal CH1 in seinem Programm nur Nullen aufweisen, so daß der Kanal CH1 bei MCLK arbeitet. Die übrigen Kanäle werden bezüglich des Kanals CH1 verzögert, um die gewünschte Fokusabtastung zu bewirken. Selbstverständlich könnte anstelle des Kanals CH1 ein beliebiger Kanal als der Referenzkanal dienen. Es sollte ferner offensichtlich sein, daß für einen Referenzkanal, der nur durch den Haupttakt MCLK gesteuert wird, keine Zeitgebungsschaltung erforderlich ist. Jedoch schließt das Ultraschallsystem 100 Zeitgebungsschaltungen für alle Kanäle ein, um die Programmierflexibilität zu maximieren.

Der Inhalt des Fokus-PROM kann bestimmt werden, indem von den Verzögerungskurven, wie z.B. denen, die in Fig. 9 dargestellt sind, rückwärts gearbeitet wird. Die Kurven 901, 905 und 908 entsprechen beispielsweise den Kanälen CH1, CH5 und CH8. Der Kanal CH1 entspricht dem mittleren ringförmigen Element 201 des Wandlers 120. Jede Kurve 901, 905 und 908 weist ein Initialisierungssegment 911, 915 bzw. 918 auf, das bei  $t_i$  endet, und ein Operationssegment, das bei  $t_i$  beginnt, beziehungsweise ein Operationssegment 921, 925, 928, das bei  $t_i$  beginnt. Das Operationssegment 921 zeigt für den Kanal CH1, der als die Referenz für die anderen Kanäle verwendet ist, eine konstante Verzögerung. Das Operationssegment 925 für den Kanal CH5 beginnt mit einer Verzögerung, die kleiner als die ist, die dem Kanal CH1 zugewiesen ist, und endet mit einer größeren Verzögerung. Dies entspricht einer Tiefenabtastung, die mit einem nahen Fokus beginnt und mit einem fernen Fokus endet. Das Operationssegment 925 schneidet das

Operationssegment 921 an einem Punkt, der dem geometrischen Fokus für den Wandler 120 entspricht. Das Operationssegment 928 ist ähnlich dem Operationssegment 925; da das Wandler-element 208 weiter von dem Element 201 weg ist als das Element 205, ist das Operationssegment 928 stärker hervorgehoben als das Operationssegment 925. Die Verzögerungen, die zu den unterschiedlichen Kanälen gehören, sind derart koordiniert, daß sie stets einen gemeinsamen Fokus verwenden. Zur Zeit  $t_f$  verwenden alle Kanäle den geometrischen Fokus des Wandlers 120.

Eine dynamisch digitale Verzögerung erfordert eine digitale Annäherung der Verzögerungskurven. Eine Schrittfunktion 935, die das Operationssegment 925 für den Kanal CH5 annähert, ist gezeigt. Die Schrittfunktion 935 wird erhalten, indem das Operationssegment 925 in Teilsegmente unterteilt wird, die Haupttaktzyklen entsprechen. Die Schrittfunktion 935, genauso wie die Schrittfunktionen für die anderen Kanäle, ist während der Haupttaktzyklen und während einiger Übergänge zwischen den Haupttaktzyklen konstant. Jedoch werden Übergänge zu dem nächsthöheren Pegel eingeführt, wenn es notwendig ist, um das Operationssegment 925 anzunähern. Die Schrittfunktion 935 kann gemäß der Zeichnung in einem Datenstrom 945 codiert werden, der Nullen aufweist, die Taktzyklen ohne Übergänge entsprechen, und Einsen, die Übergängen entsprechen. Dieser Datenstrom 945 wird in der geeigneten Spalte des Fokus-FIFO gespeichert und wird ausgelesen, wenn der Tiefenzähler inkrementiert wird. Die Wirkung der ersten fünf Bits auf CLK5I, z.B. 01101, des digitalen Stroms 945 wurde bezugnehmend auf Fig. 8 oben erörtert.

Zur Zeit  $t_i$  ist der Verzögerungs-FIFO, der dem Kanal CH1 entspricht, halb voll und wird auf diesem Pegel gehalten. Dieser Pegel wird erreicht, indem der Verzögerungs-FIFO des Kanals CH1 gefüllt wird, während sein Ausgang nicht freigegeben ist, und indem der Ausgang freigegeben wird, sobald der Verzögerungs-FIFO für den Kanal CH1 halb voll ist. Die erste Spalte des Fokus-PROM weist folglich nur Nullen auf.

Best Available Copy

In den übrigen Kanälen werden zunehmende Verzögerungen eingeführt. Daher ist es bevorzugt, daß die entsprechenden Verzögerungs-FIFOs weniger als halb gefüllt beginnen, wie für die Kanäle CH5 und CH8 zur Zeit  $t_1$  für die Verzögerungskurven 905 und 908 gezeigt ist. Wiederum werden die gewünschten anfänglichen FIFO-Pegel eingestellt, indem die FIFOs gefüllt werden, wobei der Ausgang nicht freigegeben ist, und indem die Ausgänge zur Zeit  $t_1$  freigegeben werden.

Es gibt viele Alternativen zu den Ausführungsbeispielen, die oben beschrieben wurden. Verschiedene Strategien können verwendet werden, um die Datenströme für die Kanäle zu erzeugen. Tatsächlich könnten die Datenströme umprogrammierbar sein, und, wenn eine geeignete Rückkopplung verfügbar ist, könnte eine Echtzeit-Umprogrammierung ein Ultraschallnachführungssystem mit geschlossener Schleife liefern. Verschiedene Taktraten, Komponentenzahlen, Wandlergeometrien und Signalverarbeitungstechniken sind vorgesehen.

Europäisches Aktenzeichen: 90302820.7

### Patentansprüche

1. Eine dynamisch veränderbare, digitale Verzögerungsvorrichtung (114) mit folgenden Merkmalen: einer Signalquelle (112) zum Liefern eines Signals; einer Abtasteinrichtung (ADW 412) zum Liefern einer digitalen Darstellung des Signals, wobei die Abtasteinrichtung einen Signaleingang (A) zum Empfangen des Signals, einen digitalen Ausgang (D) zum Übertragen der digitalen Darstellung und einen Steuereingang (CLK) zum Empfangen eines Abtastratensignals mit einer variablen Abtastrate zum Steuern der Zeitgebung, die verwendet ist, um die digitale Darstellung zu erzeugen, und folglich der Ausgangsrate der digitalen Darstellung aufweist; einem Verzögerungs-FIFO (416) mit einem Dateneingang (DI), einem Datenausgang (DO), einem Eingangsfreigabebitor (IC) und einem Ausgangsfreigabebitor (OC), wobei der Dateneingang zum Empfangen der digitalen Darstellung von der Quelle mit der Quelle gekoppelt ist; wobei die dynamisch veränderbare, digitale Verzögerungsvorrichtung (114) dadurch gekennzeichnet ist, daß eine Steuereinrichtung (108) zum Liefern eines Haupttaktsignals mit einer konstanten Haupttaktrate vorgesehen ist, wobei die Steuereinrichtung mit dem Ausgangsfreigabebitor (OC) des Verzögerungs-FIFOs (416) gekoppelt ist, derart, daß die digitale Darstellung mit der Haupttaktrate von dem Datenausgang übertragen wird, wobei die Steuereinrichtung mehrere Phasen des Haupttakts liefert; und einer veränderbaren Zeitgebungseinrichtung (700), die zusammenwirkend mit der Steuereinrichtung (108) gekoppelt ist, um unter den mehreren Phasen des Haupttakts auszuwählen, um ein veränderbares Zeitgebungssignal von einem Signalausgang (724) zu erzeugen, wobei der Signalausgang (724) mit dem Steuereingang (CLK) der Abtasteinrichtung (ADW 412) gekoppelt ist, um demselben das

veränderbare Abtastratensignal zu liefern, wobei der Signalausgang (724) ferner mit dem Eingangsfreigabebitor (IC) des Verzögerungs-FIFOs (416) gekoppelt ist, derart, daß das Abtastratensignal ferner die Rate steuert, mit der die digitale Darstellung in das Verzögerungs-FIFO (416) eingegeben wird; wodurch die Abtastrate bezüglich der Haupttaktrate verändert werden kann, derart, daß die digitale Darstellung mit einer Abtastrate in das Verzögerungs-FIFO (416) eingegeben werden kann, die bezüglich der Haupttaktrate, mit der die digitale Darstellung von dem Verzögerungs-FIFO (416) übertragen wird, dynamisch veränderbar ist.

2. Eine dynamisch veränderbare, digitale Verzögerungsvorrichtung gemäß Anspruch 1, bei der die variable Zeitgebungseinrichtung (700) einen Multiplexer (PHASEMUX 710) mit Signaleingängen (8D), dem Signalausgang (724) und Auswahlengängen (3S) aufweist, wobei die Signaleingänge (8D) mit jeweiligen der mehreren Phasen gekoppelt sind, derart, daß eine der mehreren Phasen zur Übertragung von dem Signalausgang (724) gewählt werden kann; wobei die veränderbare Zeitgebungseinrichtung (700) einen Zeitgebungsdatengenerator (FOKUS-PROM 704) zum Erzeugen eines digitalen Verzögerungsdatenstroms (715) einschließt, wobei der Zeitgebungsdatengenerator (704) ein Ausgangsfreigabebitor (AX) aufweist, das mit der Steuerung gekoppelt ist, derart, daß der digitale Verzögerungsdatenstrom durch die Haupttaktrate charakterisiert ist; und wobei die variable Zeitgebungseinrichtung (700) einen Zeitgebungs-FIFO (FOKUS-FIFO 706) mit einem Zeitgebungsdateneingang (DI), einem Zeitgebungsdatenstrom (718)-Ausgang (DO) und einem Eingangsfreigabebitor (IC) aufweist, wobei der Zeitgebungsdateneingang (DI) mit dem Zeitgebungsdatengenerator (704) gekoppelt ist, um den digitalen Verzögerungsdatenstrom von demselben zu empfangen, wobei das Eingangsfreigabebitor (IC) des Zeitgebungs-FIFOs (706) mit der Steuereinrichtung (108) gekoppelt ist, derart, daß der digitale Verzöge-

gebungs-FIFO (706) eingegeben wird, und wobei die Auswahlwege (3S) des Multiplexers (710) mit dem Zeitgebungsdatenstrom-(718)Ausgang (DO) des Zeitgebungs-FIFOs (706) gekoppelt sind, derart, daß der Zeitgebungsdatenstrom (718) bestimmt, welche der mehreren Phasen zu einer gegebenen Zeit ausgewählt wird, derart, daß die Abtastrate (CLK) durch fortschreitende Phasenänderungen eingestellt werden kann, wie es durch den Zeitgebungsdatenstrom (718) diktiert wird, wobei der Zeitgebungs-FIFO (706) als ein Zeitgebungspuffer zwischen der Haupttaktzeit und der Abtastzeit dient.

3. Eine dynamisch veränderbare, digitale Verzögerungsvorrichtung gemäß Anspruch 2, bei der der Zeitgebungs-FIFO (706) ein Ausgangsfreigabeter (OC) aufweist, das mit dem Signalausgang (724) des Multiplexers (710) gekoppelt ist.
4. Eine dynamisch veränderbare, digitale Verzögerungsvorrichtung gemäß Anspruch 2 oder 3, bei der die veränderbare Zeitgebungseinrichtung (700) ferner eine Phasenauswahleinrichtung (PHASENZÄHLER 708) zum Liefern einer Auswahlzeit (720), die sich als eine Funktion des Zeitgebungsdatenstroms (718) ändert, aufweist, wobei die Phasenauswahleinrichtung (708) mit dem Zeitgebungsdatenstromausgang (DO) des Zeitgebungs-FIFOs (706) gekoppelt ist, um den Zeitgebungsdatenstrom von demselben zu empfangen, wobei die Phasenauswahleinrichtung (708) zum Liefern der Auswahlzeit (720) zu den Auswahlwegen (3S) des Multiplexers (710) mit dem Multiplexer (710) gekoppelt ist.

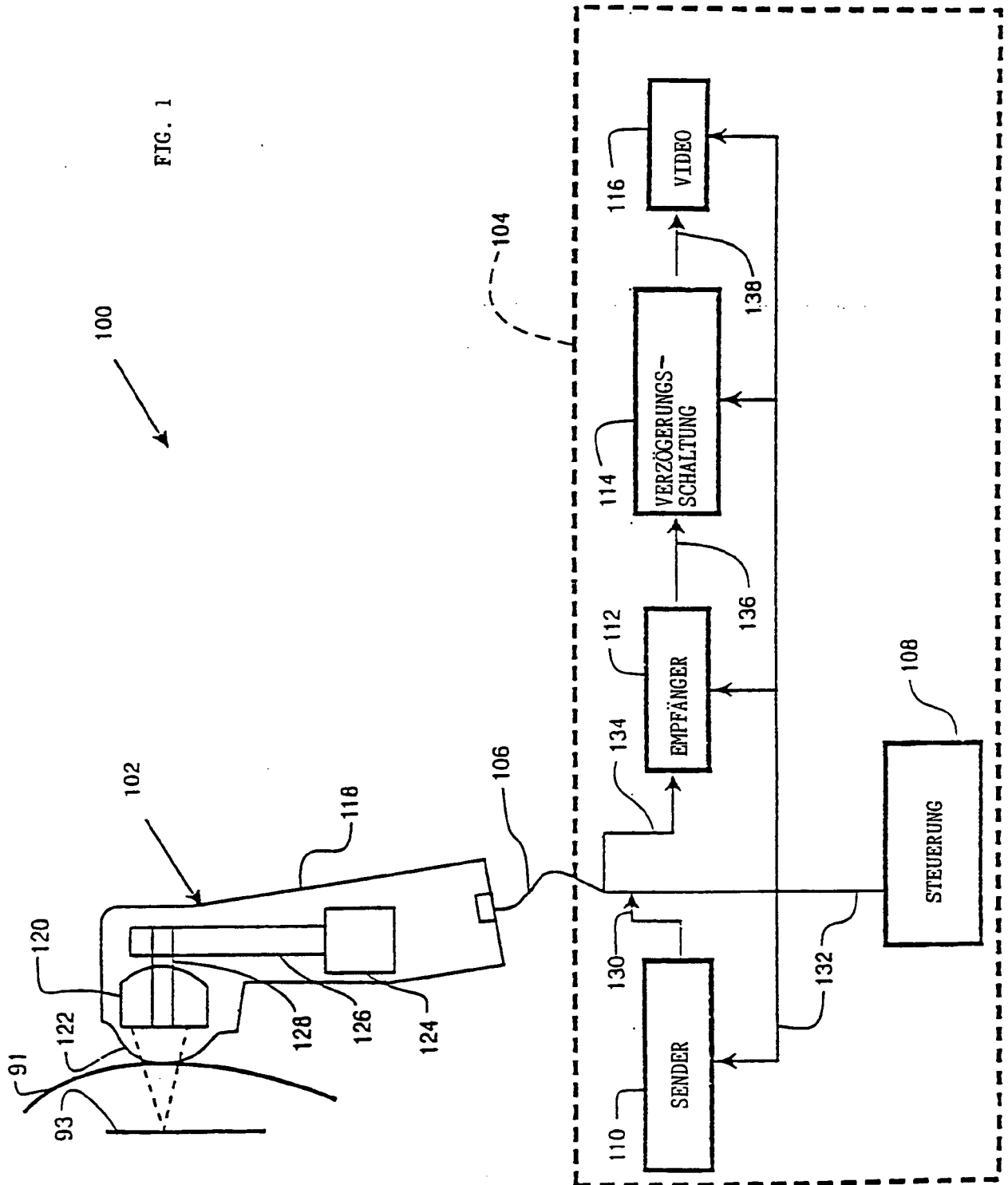
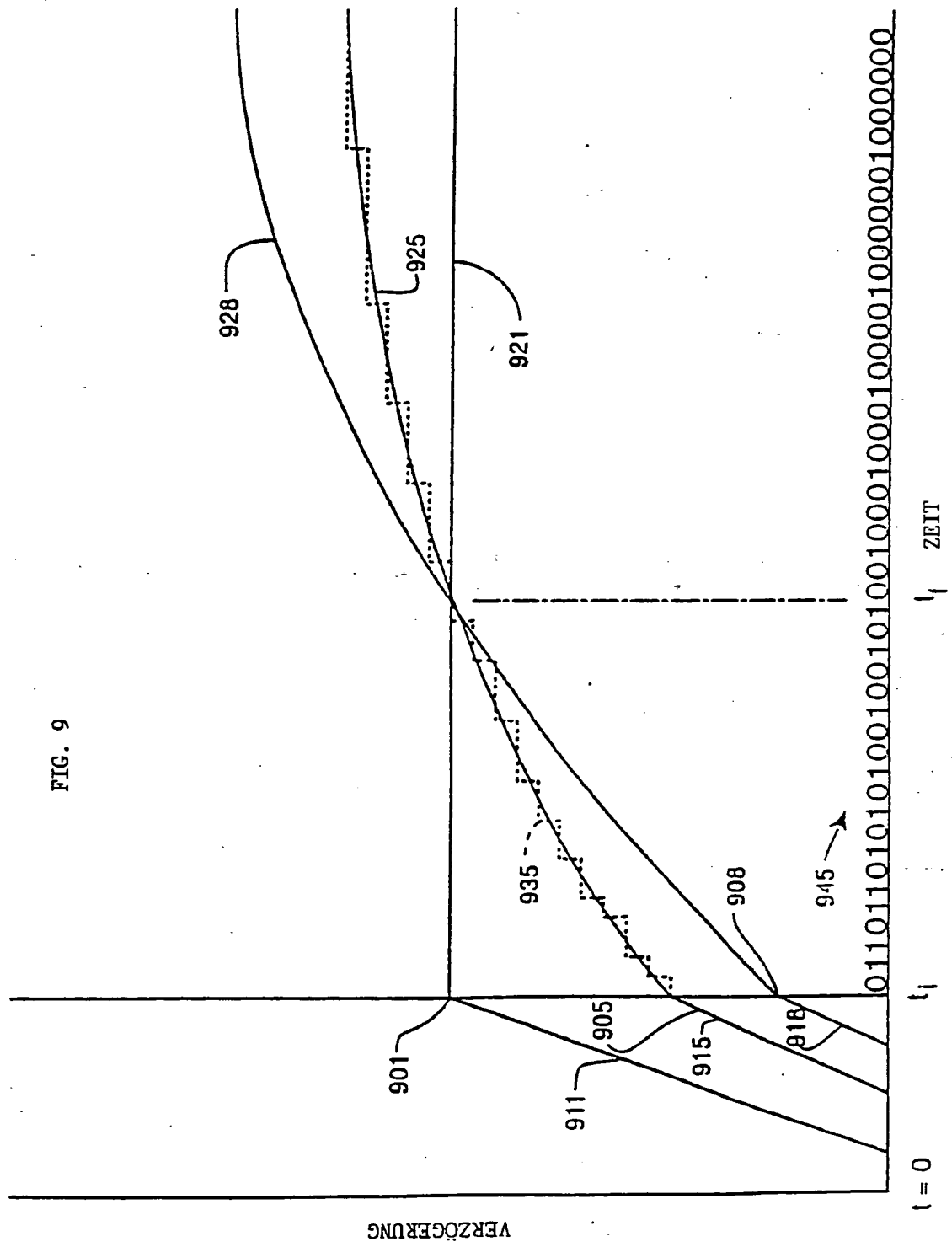




FIG. 9



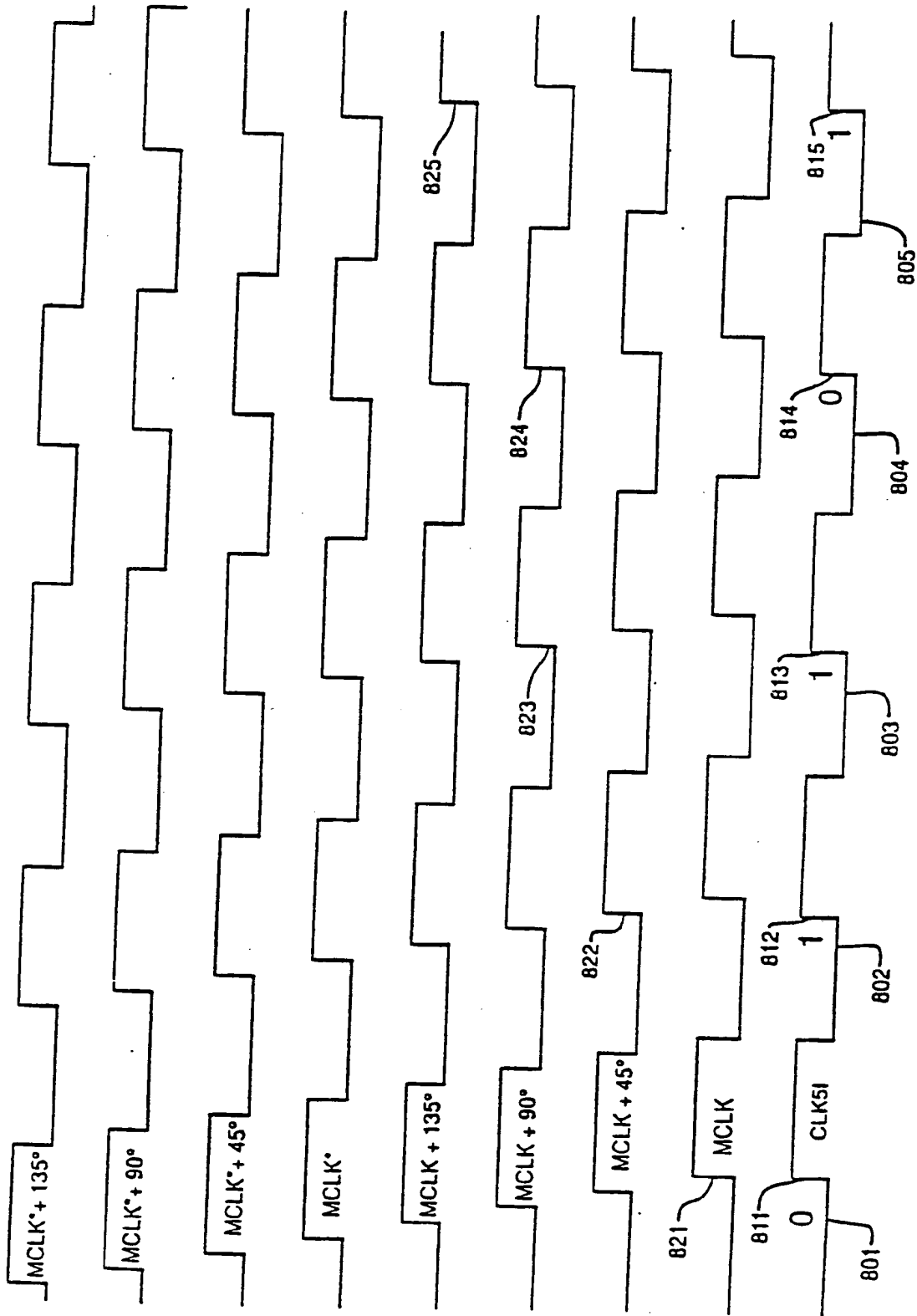


FIG. 8

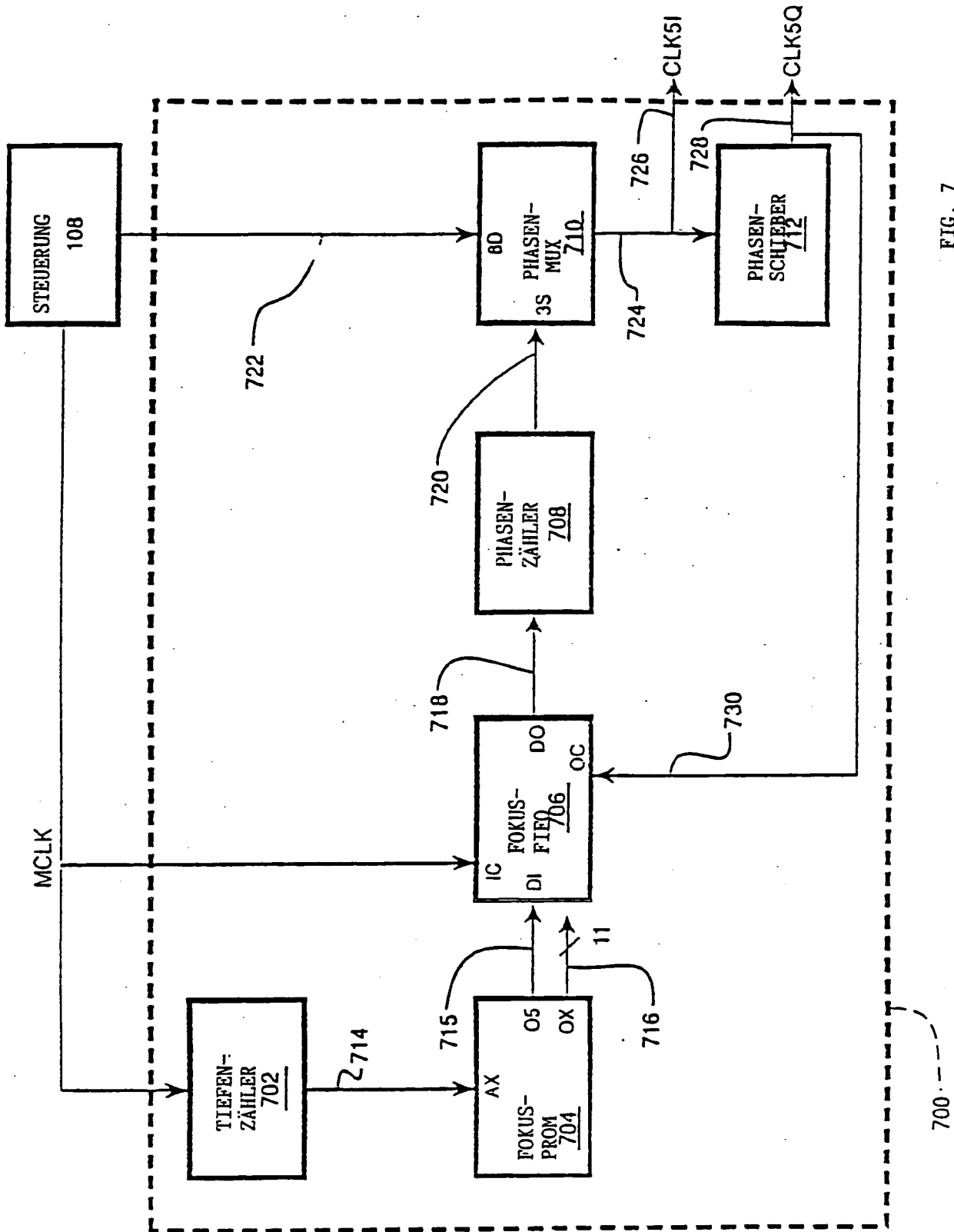


FIG. 7

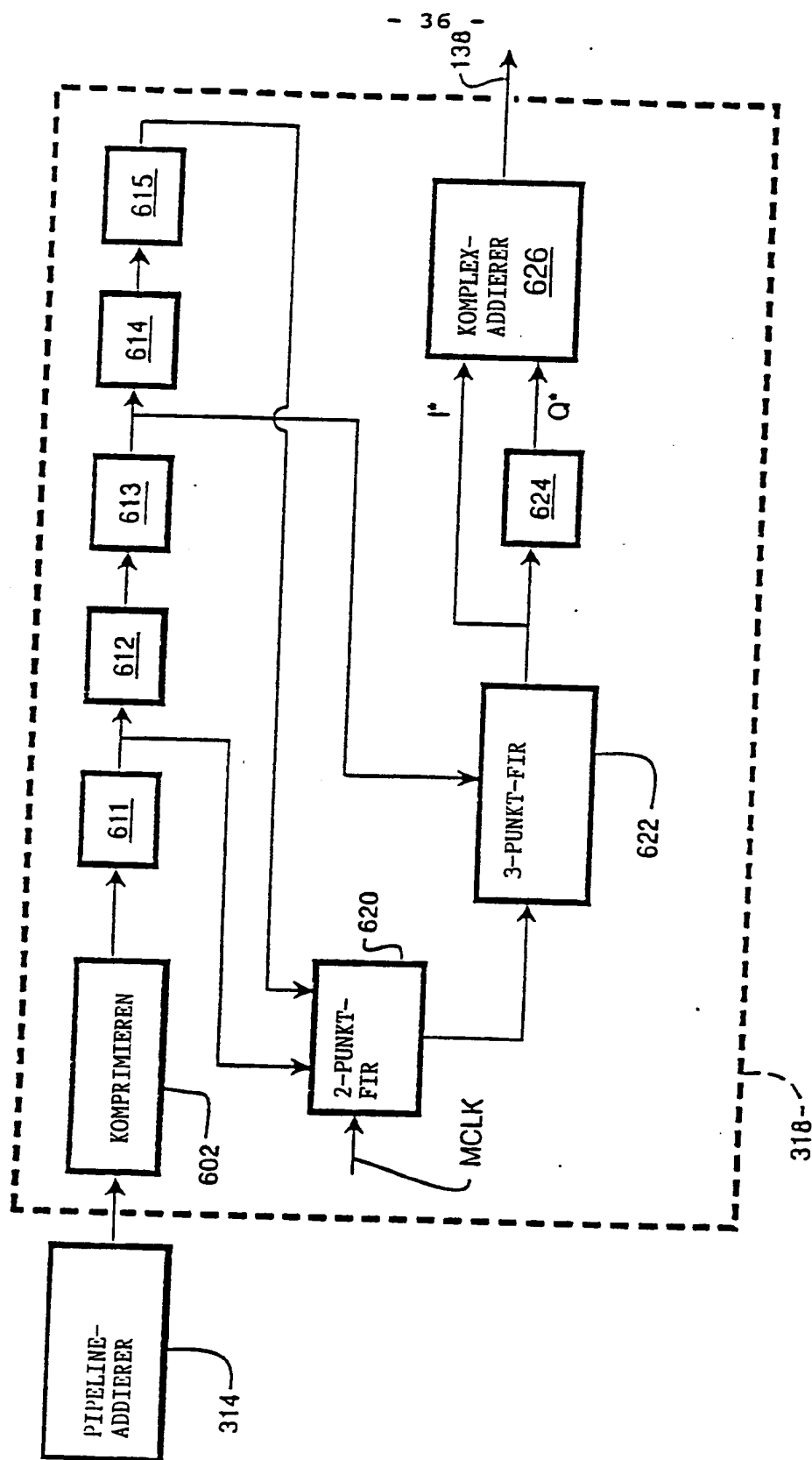


FIG. 6

FIG. 5

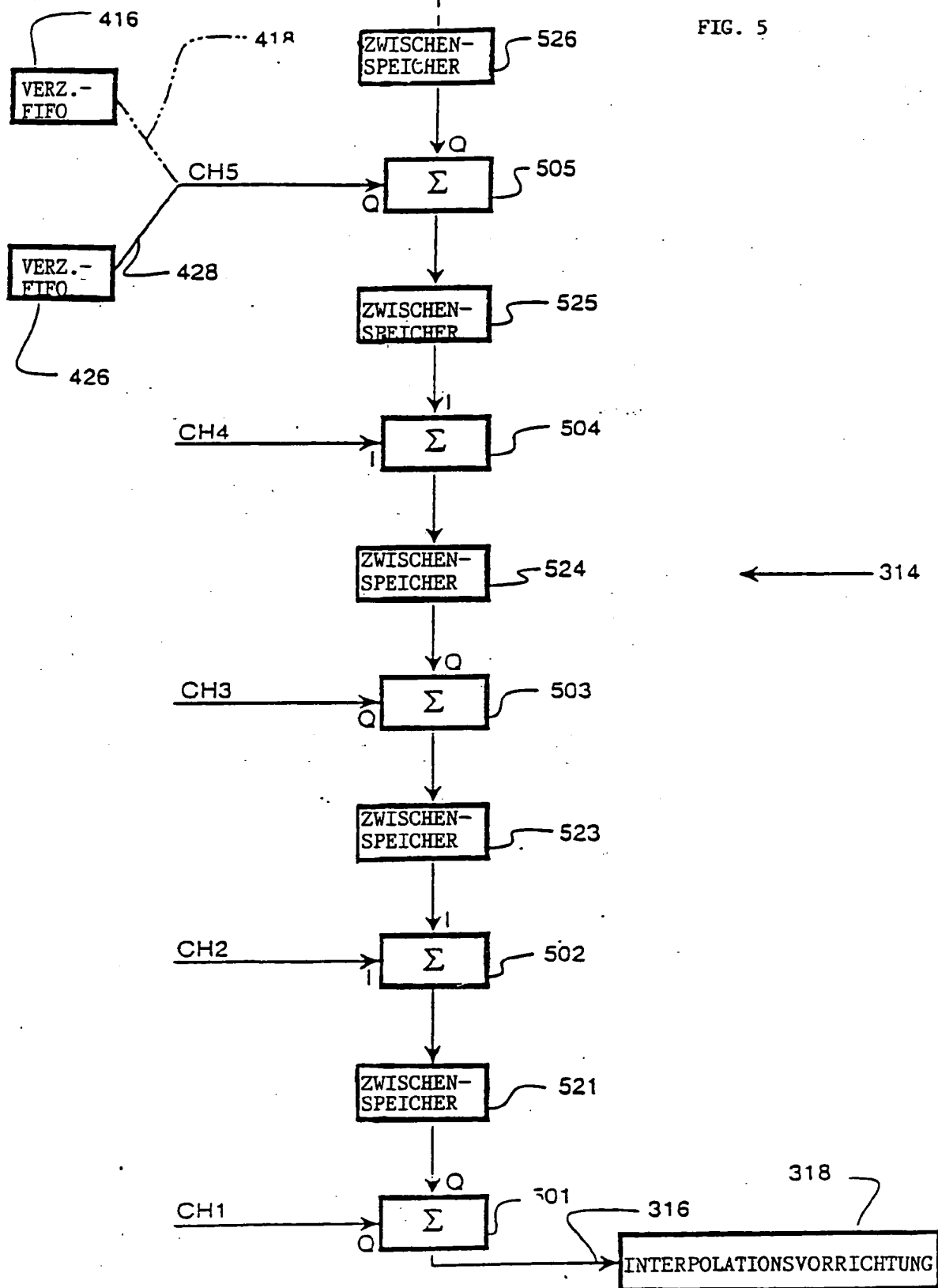
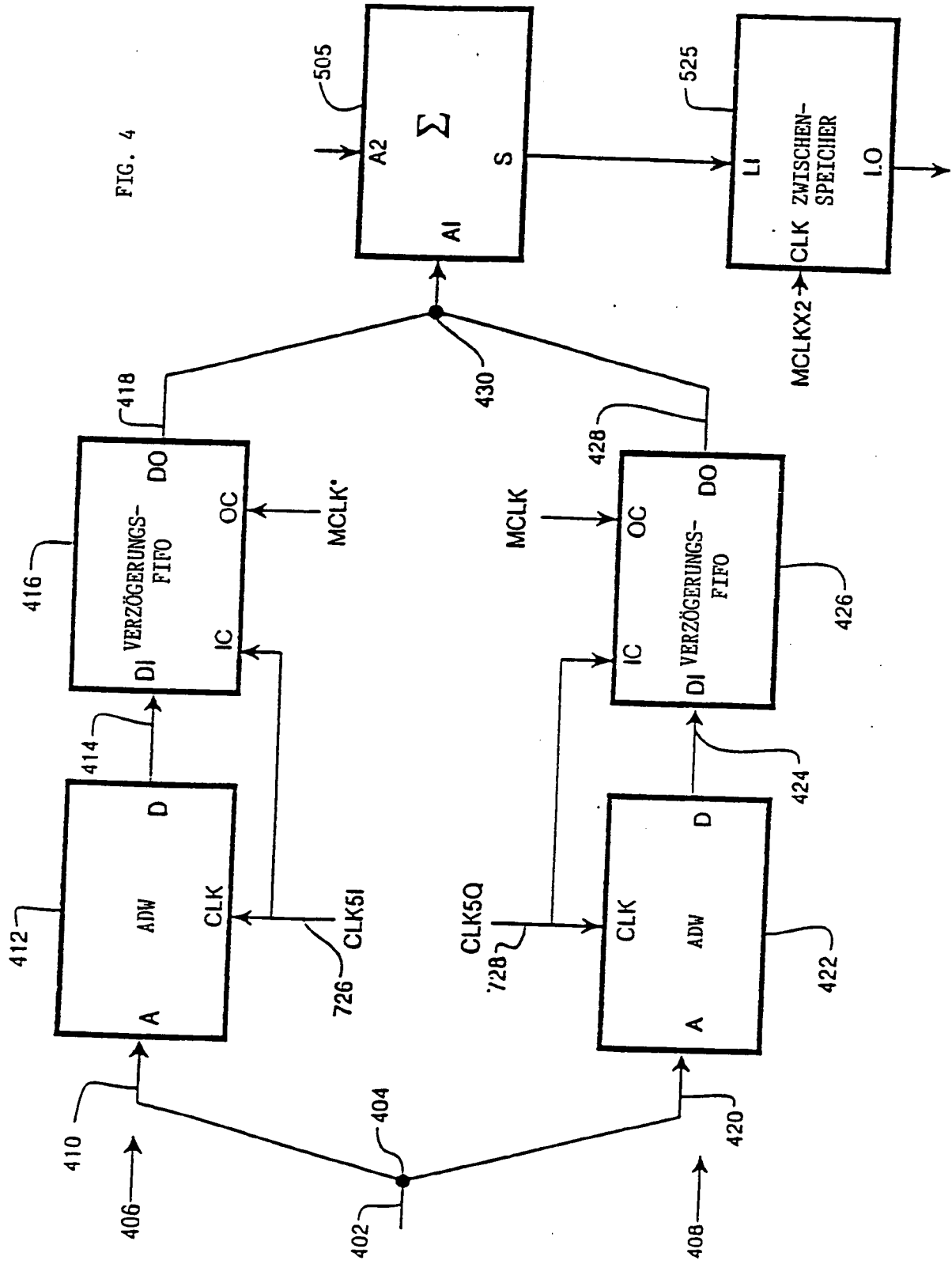


FIG. 4



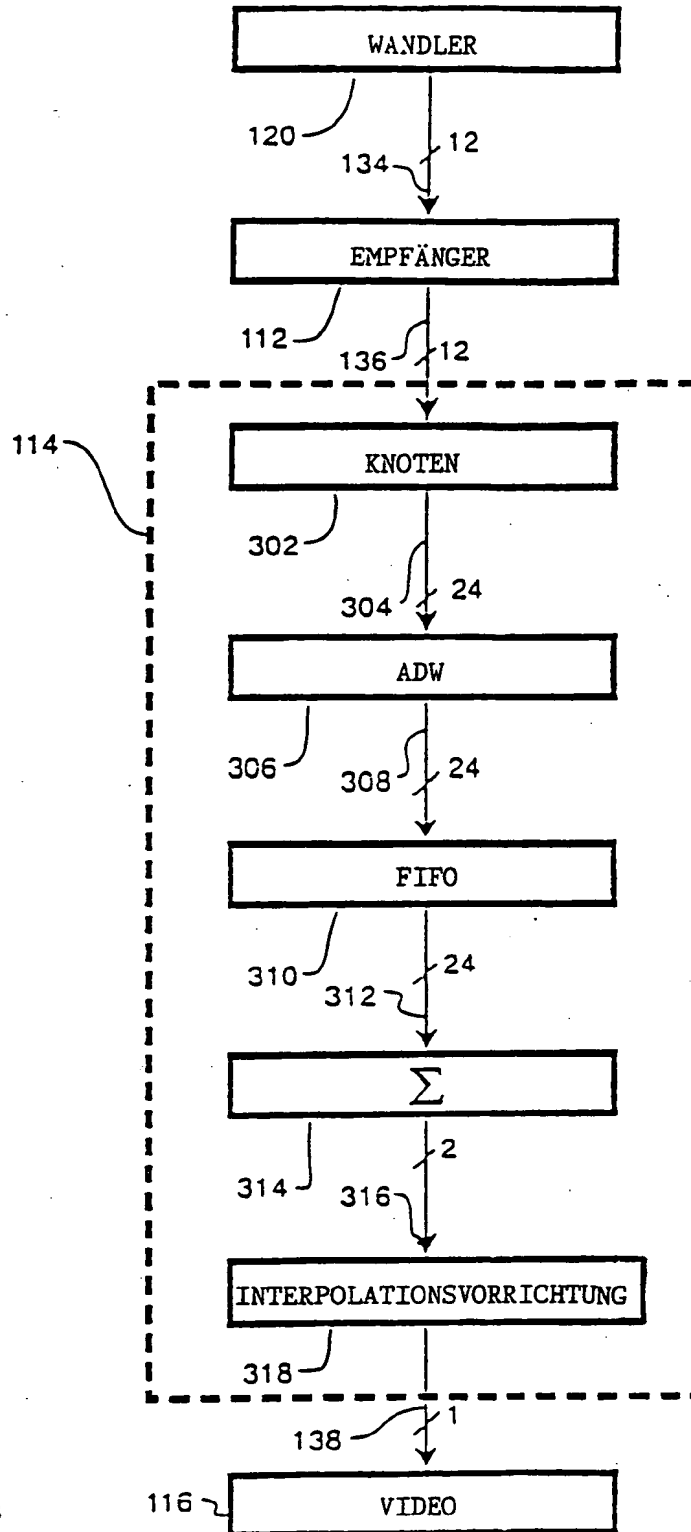


FIG. 3

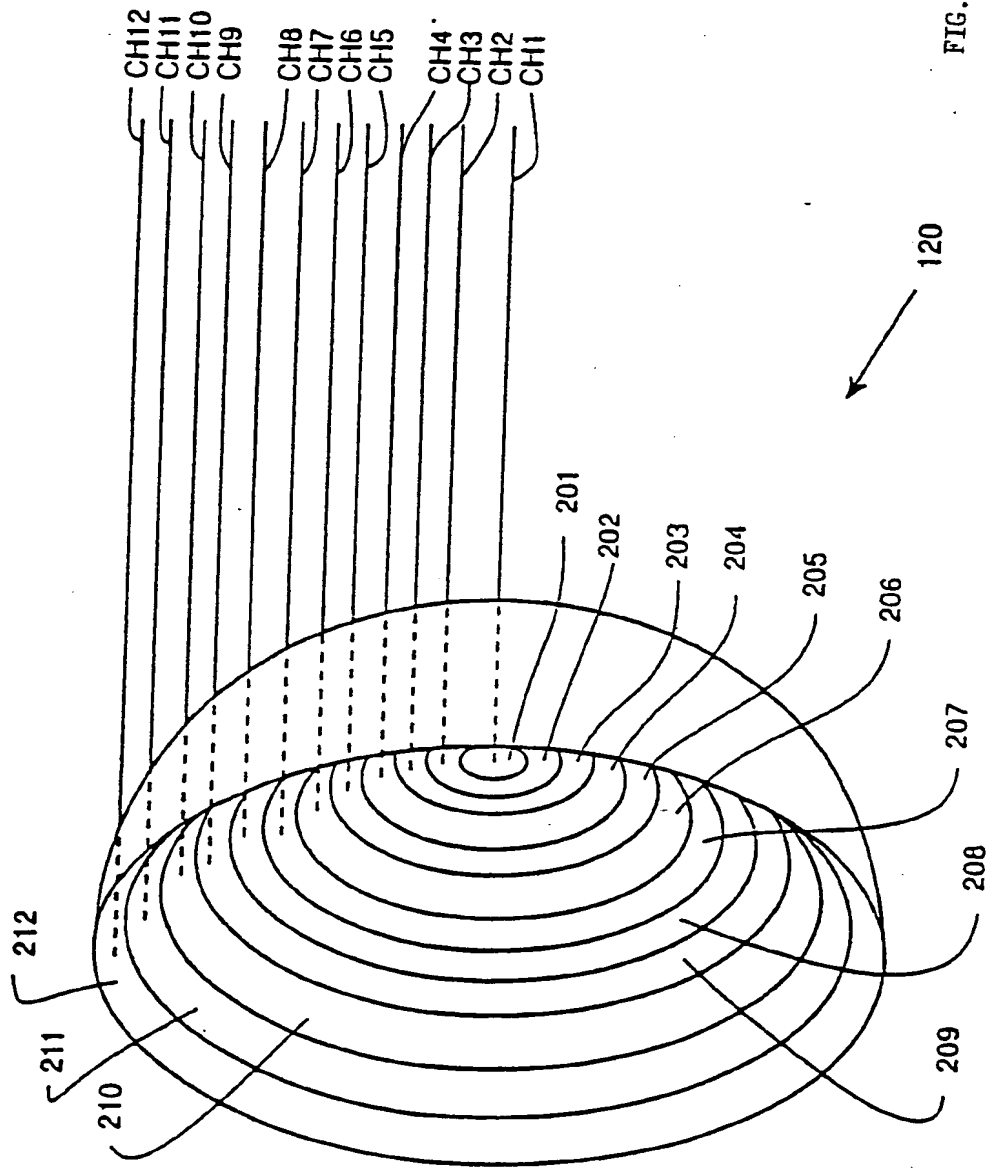


FIG. 2